

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-273355

(43)Date of publication of application : 18.10.1996

(51)Int.Cl.

G11C 11/403  
G06F 12/00

(21)Application number : 07-071940

(71)Applicant : KOFU NIPPON DENKI KK

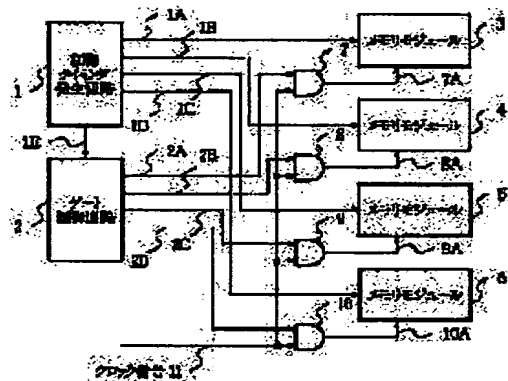
(22)Date of filing : 29.03.1995

(72)Inventor : TAKISHIMA TORU

**(54) CONTROL UNIT FOR POWER DOWN MEMORY****(57)Abstract:**

**PURPOSE:** To preserve an unavailable data while reducing power consumption when a memory module comprising a dynamic random access memory is set unavailable and to eliminate the overhead at the time of resuming the data.

**CONSTITUTION:** A control timing generation circuit 1 interrupts the generation of control timing signal for a memory module being set unavailable. A gate control circuit 2 gates the clock signal at gate circuits 7 through 10 based on a gate signal and inhibits the delivery of clock signal to a memory module being set unavailable. Upon inhibition of clock signal supply, the dynamic random access memories in modules 3 through 6 recognize the unavailability to stop the operation and executes the refresh operation forcibly at a constant period.



BEST AVAILABLE COPY

**LEGAL STATUS**

[Date of request for examination] 29.03.1995

[Date of sending the examiner's decision of rejection] 04.08.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3219964

[Date of registration] 10.08.2001

[Number of appeal against examiner's decision of rejection] 10-13989

[Date of requesting appeal against examiner's decision of rejection] 03.09.1998

[Date of extinction of right] 10.08.2004

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] Each performs writing and read-out of data with a control timing signal, and operates synchronizing with a clock signal. (a) By halt of said clock signal Two or more memory modules which have two or more dynamic random access memory which suspends actuation and performs compulsive refresh a fixed period, (b) The control timing signal generating circuit which supplies said control timing signal to each of said memory module, (c) Two or more gate circuits which carry out the gate of said clock signal supplied to each of said memory module for every memory module, (d) Power down memory control unit characterized by having the gate control circuit which supplies the gate control signal which controls each of said gate circuit.

[Claim 2] Each (a) With a control timing signal The memory module which has two or more dynamic random access memory which lowers the pressure of the electrical potential difference supplied to an internal memory cell rather than foreign voltage, suspends actuation, and performs compulsive refresh a fixed period when writing and read-out of data are performed and an electrical-potential-difference adjustable signal directs pressure lowering, (b) Power down memory control unit characterized by having the control timing signal generating circuit which supplies said control timing signal to each of said memory module, and the electrical-potential-difference adjustable circuit which supplies said electrical-potential-difference adjustable signal to each of (c) aforementioned each memory module.

[Claim 3] Each creates a dividing clock for writing and read-out of data from a deed external clock signal with a control timing signal. (a) With a clock selection signal Choose either of said external clock signals and said dividing clock signals, and it synchronizes with this selected clock signal. Two or more memory modules which have two or more dynamic random access memory which suspends actuation and performs compulsive refresh a fixed period when it operates and said dividing clock is chosen, (b) The control timing signal generating circuit which supplies said control timing signal to each of each of said memory module, (c) Power down memory control unit characterized by having the clock selection-signal circuit which supplies said clock selection signal to each of each of said memory module.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the power down memory control unit to which it was made to reduce the power consumption of the random access memory which is not accessed especially about the power down memory control unit which consists of memory modules which have the dynamic random access memory which carries out compulsive refresh a fixed period.

[0002]

[Description of the Prior Art] In the conventional power down control unit, the approach of reducing power consumption is taken by suspending supply of a power source completely to the dynamic random access memory set up as use is impossible, for example as described by JP,60-263396,B.

[0003]

[Problem(s) to be Solved by the Invention] Since a power source will be re-supplied in order to make usable dynamic random access memory set up in the conventional power down control unit mentioned above as use is once impossible, the time amount which the light (writing) of the dummy for making it usable takes the time amount and dynamic random access memory which are required by the stability of a power source is taken, and there is a fault that an overhead arises.

[0004] Furthermore by halt of current supply, there is a fault that elimination of the data in dynamic random access memory will arise.

[0005]

[Means for Solving the Problem] The 1st power down control unit of this invention (a) Each performs writing and read-out of data with a control timing signal, and operates synchronizing with a clock signal. By halt of said clock signal Two or more memory modules which have two or more dynamic random access memory which suspends actuation and performs compulsive refresh a fixed period, (b) The control timing signal generating circuit which supplies said control timing signal to each of said memory module, (c) It has two or more gate circuits which carry out the gate of said clock signal supplied to each of said memory module for every memory module, and the gate control circuit which supplies the gate control signal which controls each of the (d) aforementioned gate circuit.

[0006] The 2nd power down control unit of this invention (a) Each with a control timing signal The memory module which has two or more dynamic random access memory which lowers the pressure of the electrical potential difference supplied to an internal memory cell rather than foreign voltage, suspends actuation, and performs compulsive refresh a fixed period when writing and read-out of data are performed and an electrical-potential-difference adjustable signal directs pressure lowering, (b) It has the control timing signal generating circuit which supplies said control timing signal to each of said memory module, and the electrical-potential-difference adjustable circuit which supplies said electrical-potential-difference adjustable signal to each of (c) aforementioned each memory module.

[0007] The 3rd power down control unit of this invention (a) Each creates a dividing clock for writing and read-out of data from a deed external clock signal with a control timing signal. With a clock selection signal Choose either of said external clock signals and said dividing clock signals, and it synchronizes with this selected clock signal. Two or more memory modules which have two or more dynamic random access memory which suspends actuation and performs compulsive refresh a fixed period when it operates and said dividing clock is chosen, (b) It has the control timing signal generating circuit which supplies said control timing signal to each of each of said memory module, and the clock selection-signal circuit which supplies said clock selection signal to each of (c) aforementioned each memory module.

[0008]

[Example] Next, this invention is explained to a detail with reference to a drawing.

[0009] Drawing 1 is the block diagram showing the 1st example of this invention. Reference of drawing 1 constitutes the 1st example of this invention from the control timing generating circuit 1, a gate control circuit 2, memory modules 3-6 that consist of the synchronous dynamic random access memory which operates synchronizing with a clock, and gate circuits 7-10.

[0010] Next, actuation is explained to a detail.

[0011] The case where a memory module 3 is accessed and memory modules 4-6 are not accessed is explained.

[0012] In this case, a control timing signal occurs in signal-line 1A from the control timing generating circuit 1, and control timing is not generated in 1D from signal-line 1B.

[0013] Control timing signals are a chip select, row address selection, column address selection, write enable, etc., access starting to dynamic random access memory starts by the AND of a chip select and row address selection, and lead actuation or light actuation is performed by the AND of the next chip select and column address selection. At this time, if write enable is ON, it light-operations, and if off, lead actuation will be performed. Actuation is completed at the last by the AND of three signals of a chip select, row address selection, and write enable.

[0014] The gate control circuit 2 is controlled by selection-signal 1E from the control timing generating circuit 1, and output 2A from the gate control circuit 2, 2B, 2C, and 2D are set to '1', '0', '0', and '0', respectively.

[0015] In gate circuits 7-10, the AND of 2A to 2D and a clock signal 11 is taken, respectively, a clock signal is supplied only to clock signal line 7A, and a clock signal is not supplied to 10A from clock signal line 8A.

[0016] That is, only a memory module 3 is supplied and a clock signal is not supplied to memory modules 4-6. Therefore, although a clock signal is supplied to all the synchronous dynamic random access memory in a memory module 3 and the usual actuation is performed, a clock signal is not supplied to the synchronous dynamic random access memory in six from a memory module 4, but all such synchronous dynamic random access memory suspends actuation. Consumption of power is held down when actuation stopped. Moreover, in the synchronous dynamic random access memory which suspended actuation, compulsive refresh is performed a fixed period and data security is made.

[0017] Although the 1st above-mentioned example explained the case where only the memory module 3 was accessed, even when other modules are accessed, only the module accessed similarly operates, other modules suspend actuation and power consumption is held down.

[0018] Next, the 2nd example is explained to a detail.

[0019] Drawing 2 is the block diagram showing the 2nd example of this invention. If the electrical-potential-difference adjustable signal into which the 2nd example of this invention will be inputted as the control timing generating circuit 1 and the electrical-potential-difference adjustable circuit 12 from the outside if drawing 2 is referred to shows pressure lowering, it consists of memory modules 13-16 which consist of the dynamic random access memory which makes the pressure of the electrical potential difference supplied to an internal memory cell lower rather than foreign voltage.

[0020] Next, actuation is explained to a detail with reference to drawing 2 and drawing 4.

[0021] The case where a memory module 14 is accessed and 16 is not accessed from memory modules 13 and 15 is explained.

[0022] In this case, a control timing signal occurs in signal-line 1B from the control timing generating circuit 1, and control timing is not generated in 1D from signal lines 1A and 1C.

[0023] Moreover, the electrical-potential-difference adjustable circuit 12 is controlled by selection-signal 1E from the control timing generating circuit 1, and the electrical-potential-difference adjustable signals 12A, 12B, 12C, and 12D which are the outputs from here are set to '1', '0', '1', and '1', respectively.

[0024] Therefore, although an electrical potential difference is usually supplied and normal operation is performed in all the dynamic random access memory in a memory module 14, by the dynamic random access memory in 16, the pressure of an electrical potential difference is lowered from memory modules 13 and 15, and all such dynamic random access memory suspends actuation. Consumption of power is held down when actuation stopped. Moreover, in the dynamic random access memory which suspended actuation, compulsive refresh is performed a fixed period and data security is made.

[0025] Within dynamic random access memory, as shown in drawing 4, an external power is supplied from the current supply line 36, and the pressure of it is lowered in the electrical-potential-difference pressure-lowering circuit 32. Either of the external power from the current supply line 36 and the power source 37 from the electrical-potential-difference pressure-lowering circuit 32 is chosen by the selector 31 according to the electrical-potential-difference adjustable signal 34, and it is used inside.

[0026] Although the 2nd above-mentioned example explained the case where only the memory module 14

was accessed, even when other modules are accessed, only the module accessed similarly operates, other modules suspend actuation and power consumption is held down.

[0027] In addition, in the 2nd example mentioned above, that synchronous dynamic random access memory is included does not need to make reference with dynamic random access memory.

[0028] Next, the 3rd example is explained to a detail.

[0029] Drawing 3 is the block diagram showing the 3rd example of this invention. If drawing 3 is referred to, the 3rd example of this invention creates a dividing clock from the external clock signal inputted as the control timing generating circuit 1 and the clock selection-signal circuit 17 from the outside, chooses one of said external clock signals and said dividing clock signals with the clock selection signal inputted from the outside, and consists of memory modules 18-21 which consist of synchronous dynamic random access memory which operates synchronizing with this clock signal.

[0030] Next, actuation is explained to a detail with reference to drawing 3 and drawing 5.

[0031] The case where a memory module 20 is accessed and 19 and 21 are not accessed from a memory module 18 is explained.

[0032] In this case, a control timing signal occurs in signal-line 1C from the control timing generating circuit 1, and control timing is not generated in 1B and 1D from signal-line 1A.

[0033] Moreover, the clock selection-signal circuit 17 is controlled by selection-signal 1E from the control timing generating circuit 1, and the clock selection signals 17A, 17B, 17C, and 17D which are the outputs from here are set to '0', '0', '1', and '0', respectively.

[0034] Therefore, although a clock is usually chosen and normal operation is performed in all the synchronous dynamic random access memory in a memory module 20, in memory modules 18-19 and the synchronous dynamic random access memory in 21, a dividing clock is chosen and all such synchronous dynamic random access memory suspends actuation. Consumption of power is held down when actuation stopped. Moreover, in the synchronous dynamic random access memory which suspended actuation, compulsive refresh is performed a fixed period and data security is made.

[0035] Within synchronous dynamic random access memory, as shown in drawing 5, an external clock signal is supplied from the clock supply line 45, and dividing is carried out in the clock frequency divider 42. Either of the clock signals 46 is chosen from the external clock and the clock frequency divider 46 from the clock signal line 45 by the selector 41 according to the clock selection signal 44, and it is used inside.

[0036] Although the 3rd above-mentioned example explained the case where only the memory module 20 was accessed, even when other modules are accessed, only the module accessed similarly operates, other modules suspend actuation and consumption of power is held down.

[0037]

[Effect of the Invention] As explained above, the power down memory control unit of this invention is effective in the ability of the clock supply suppression of the dynamic random access memory of a memory module and pressure lowering of an electrical potential difference which are set up as use is impossible, and dividing of a clock to attain suppression of power consumption. Furthermore, when a module is again set up good [ use ] by continuing supplying a power source and performing compulsive refresh, the time amount which the light of the dummy for making it usable takes the time amount and dynamic random access memory which are required by the stability of a power source is removed, and it is effective in an overhead not arising. Moreover, it is effective in the data in dynamic random access memory not being eliminated, and being preserved.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the 1st example of this invention.

[Drawing 2] It is the block diagram of the 2nd example of this invention.

[Drawing 3] It is the block diagram of the 3rd example of this invention.

[Drawing 4] It is the block diagram of dynamic random access memory used for the 2nd example of this invention.

[Drawing 5] It is the block diagram of synchronous dynamic random access memory used for the 3rd example of this invention.

[Description of Notations]

1 Control Timing Generating Circuit

2 Gate Control Circuit

3, 4, 5, 6, 13, 14, 15, 16, 18, 19, 20, 21 Memory module

7, 8, 9, 10 Gate circuit

11, 7A, 8A, 9A, 10A, 45, 47 Clock signal

12 Electrical-Potential-Difference Adjustable Circuit

17 Clock Selection-Signal Circuit

30 Dynamic Random Access Memory

31 41 Selector

32 Electrical-Potential-Difference Pressure-Lowering Circuit

40 Synchronous Dynamic Random Access Memory

42 Clock Frequency Divider

1A, 1B, 1C, 1D Control timing signal

1E Selection signal

2A, 2B, 2C, 2D Gate control signal

12A, 12B, 12C, 12D, 34 Electrical-potential-difference adjustable signal

17A, 17B, 17C, 17D Clock selection signal

33 43 Control timing generating circuit

36 External Power

37 Pressure-Lowering Power Source

38 Internal Electrical Power Source

47 Dividing Clock Signal

---

[Translation done.]

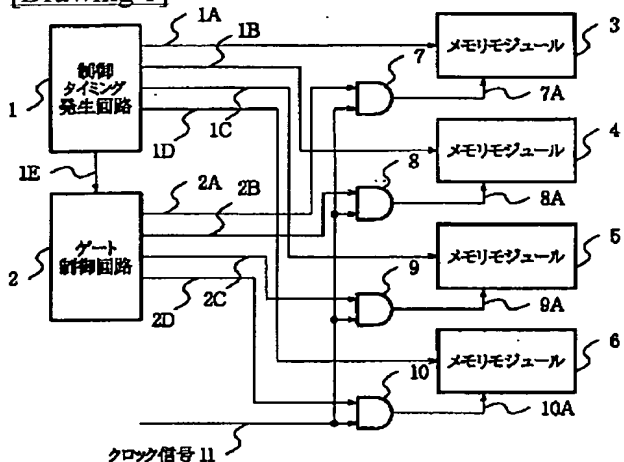
\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

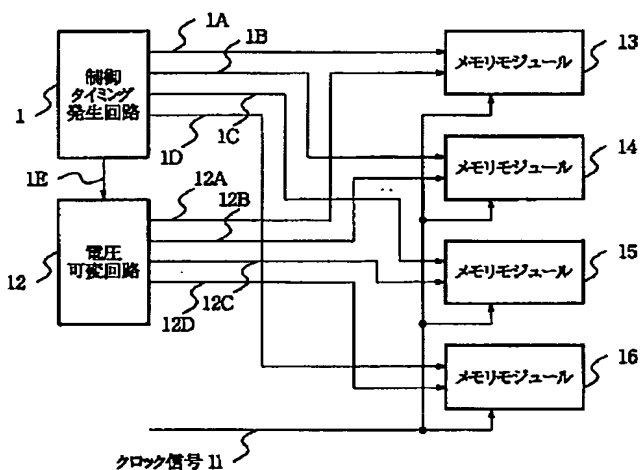
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

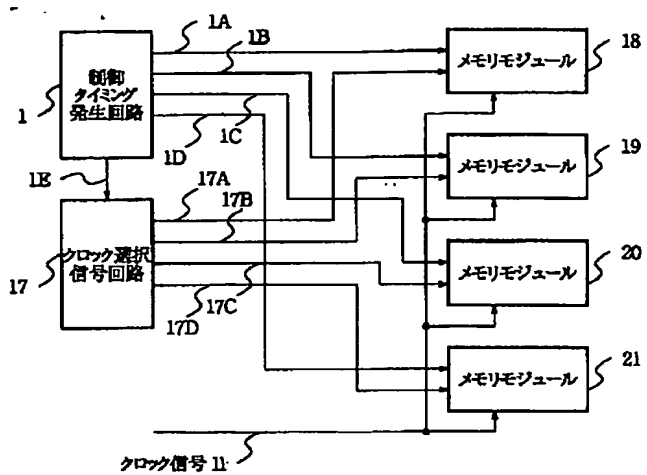
[Drawing 1]



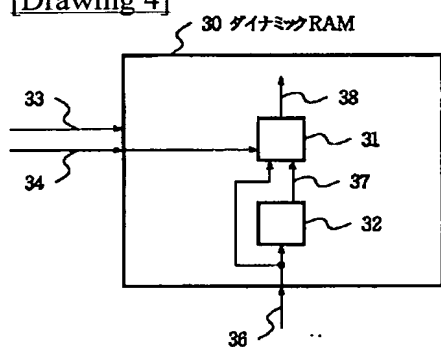
[Drawing 2]



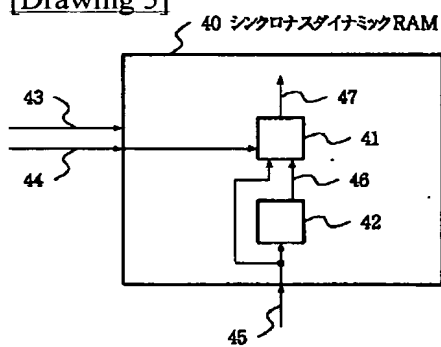
[Drawing 3]



[Drawing 4]



[Drawing 5]





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-273355

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/403			G 1 1 C 11/34	3 7 1 J
G 0 6 F 12/00	5 5 0		G 0 6 F 12/00	5 5 0 B

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平7-71940

(22) 出願日 平成7年(1995)3月29日

(71) 出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72) 発明者 瀧島 亨

山梨県甲府市大津町1088-3 甲府日本電気株式会社内

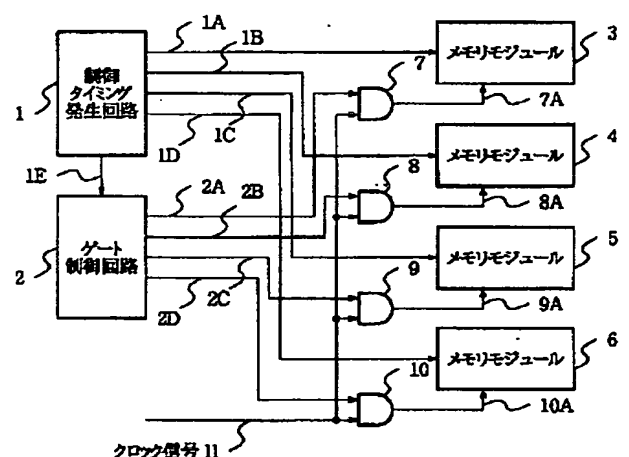
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 パワーダウンメモリ制御ユニット

(57) 【要約】

【目的】 ダイナミックランダムアクセスメモリから成るメモリモジュールを使用不可に設定した場合に、電力消費量の低減と使用不可中のデータの保全と使用再開時のオーバーヘッドの除去とを目的とする。

【構成】 制御タイミング発生回路1は使用不可と設定されたメモリモジュールに対する制御タイミング信号の発行を中止する。ゲート制御回路2は、ゲート信号によりゲート回路7から10でクロック信号をゲートし、使用不可と設定されたメモリモジュールへクロック信号の供給を抑止する。メモリモジュール3から6内のダイナミックランダムアクセスメモリは、クロック信号の供給が抑止されると使用不可と認識し動作を停止し一定周期で強制リフレッシュを実行する。



(2)

1

## 【特許請求の範囲】

【請求項1】 (a) 各々が制御タイミング信号によりデータの書き込みおよび読み出しを行いクロック信号に同期して動作し前記クロック信号の停止により動作を停止し一定周期で強制リフレッシュを実行する複数のダイナミックランダムアクセスメモリを有する複数のメモリモジュールと、 (b) 前記メモリモジュールの各々に前記制御タイミング信号を供給する制御タイミング信号発生回路と、 (c) 前記メモリモジュールの各々に供給される前記クロック信号を各メモリモジュール毎にゲートする複数のゲート回路と、 (d) 前記ゲート回路の各々を制御するゲート制御信号を供給するゲート制御回路と、を備えたことを特徴とするパワーダウンメモリ制御ユニット。

【請求項2】 (a) 各々が制御タイミング信号によりデータの書き込みおよび読み出しを行い電圧可変信号が降圧を指示すると内部のメモリセルに供給する電圧を外部電圧よりも降圧し動作を停止し一定周期で強制リフレッシュを実行する複数のダイナミックランダムアクセスメモリを有するメモリモジュールと、 (b) 前記メモリモジュールの各々に前記制御タイミング信号を供給する制御タイミング信号発生回路と、 (c) 前記各メモリモジュールの各々に前記電圧可変信号を供給する電圧可変回路と、を備えたことを特徴とするパワーダウンメモリ制御ユニット。

【請求項3】 (a) 各々が制御タイミング信号によりデータの書き込みおよび読み出しを行い外部クロック信号から分周クロックを作成しクロック選択信号により前記外部クロック信号と前記分周クロック信号とのいずれかを選択しこの選択されたクロック信号に同期して動作し前記分周クロックが選択されていると動作を停止し一定周期で強制リフレッシュを実行する複数のダイナミックランダムアクセスメモリを有する複数のメモリモジュールと、 (b) 前記各メモリモジュールの各々に前記制御タイミング信号を供給する制御タイミング信号発生回路と、 (c) 前記各メモリモジュールの各々に前記クロック選択信号を供給するクロック選択信号回路と、を備えたことを特徴とするパワーダウンメモリ制御ユニット。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、一定周期で強制リフレッシュを実施するダイナミックランダムアクセスメモリを有するメモリモジュールで構成されるパワーダウンメモリ制御ユニットに関し、特にアクセスされないランダムアクセスメモリの電力消費を低下させるようにしたパワーダウンメモリ制御ユニットに関する。

## 【0002】

【従来の技術】 従来のパワーダウン制御ユニットにおいては、たとえば、特公昭60-263396号公報に記述されているように、使用不可と設定されたダイナミ

2

ックランダムアクセスメモリに対しては完全に電源の供給を停止することにより、消費電力を低減する方法を採っている。

## 【0003】

【発明が解決しようとする課題】 上述した従来のパワーダウン制御ユニットでは、一度使用不可と設定されたダイナミックランダムアクセスメモリを使用可能にするには、電源を再供給することになるので、電源の安定までに要する時間およびダイナミックランダムアクセスメモリを使用可能にするためのダミーのライト（書き込み）に要する時間がかかりオーバーヘッドが生じるという欠点がある。

【0004】 さらに電源供給の停止により、ダイナミックランダムアクセスメモリ内のデータの消去が生じてしまうという欠点がある。

## 【0005】

【課題を解決するための手段】 本発明の第1のパワーダウン制御ユニットは、 (a) 各々が制御タイミング信号によりデータの書き込みおよび読み出しを行いクロック信号に同期して動作し前記クロック信号の停止により動作を停止し一定周期で強制リフレッシュを実行する複数のダイナミックランダムアクセスメモリを有する複数のメモリモジュールと、 (b) 前記メモリモジュールの各々に前記制御タイミング信号を供給する制御タイミング信号発生回路と、 (c) 前記メモリモジュールの各々に供給される前記クロック信号を各メモリモジュール毎にゲートする複数のゲート回路と、 (d) 前記ゲート回路の各々を制御するゲート制御信号を供給するゲート制御回路と、を備えている。

【0006】 本発明の第2のパワーダウン制御ユニットは、 (a) 各々が制御タイミング信号によりデータの書き込みおよび読み出しを行い電圧可変信号が降圧を指示すると内部のメモリセルに供給する電圧を外部電圧よりも降圧し動作を停止し一定周期で強制リフレッシュを実行する複数のダイナミックランダムアクセスメモリを有するメモリモジュールと、 (b) 前記メモリモジュールの各々に前記制御タイミング信号を供給する制御タイミング信号発生回路と、 (c) 前記各メモリモジュールの各々に前記電圧可変信号を供給する電圧可変回路と、を備えている。

【0007】 本発明の第3のパワーダウン制御ユニットは、 (a) 各々が制御タイミング信号によりデータの書き込みおよび読み出しを行い外部クロック信号から分周クロックを作成しクロック選択信号により前記外部クロック信号と前記分周クロック信号とのいずれかを選択しこの選択されたクロック信号に同期して動作し前記分周クロックが選択されていると動作を停止し一定周期で強制リフレッシュを実行する複数のダイナミックランダムアクセスメモリを有する複数のメモリモジュールと、

(b) 前記各メモリモジュールの各々に前記制御タイミ

50

(3)

3

ング信号を供給する制御タイミング信号発生回路と、  
(c) 前記各メモリモジュールの各々に前記クロック選択信号を供給するクロック選択信号回路と、を備えている。

【0008】

【実施例】次に、本発明について図面を参照して詳細に説明する。

【0009】図1は本発明の第1の実施例を示すブロック図である。図1を参照すると、本発明の第1の実施例は、制御タイミング発生回路1と、ゲート制御回路2と、クロックに同期して動作するシンクロナスダイナミックランダムアクセスメモリから成るメモリモジュール3から6と、ゲート回路7から10とから構成されている。

【0010】次に動作について詳細に説明する。

【0011】メモリモジュール3がアクセスされ、メモリモジュール4から6がアクセスされていない場合について説明する。

【0012】この場合、制御タイミング発生回路1から信号線1Aに制御タイミング信号が発生し、信号線1Bから1Dには制御タイミングは発生しない。

【0013】制御タイミング信号とは、たとえばチップ選択、ロウアドレス選択、カラムアドレス選択、ライトイネーブル等であり、チップ選択およびロウアドレス選択の論理積でダイナミックランダムアクセスメモリへのアクセス起動がかかり、次のチップ選択とカラムアドレス選択の論理積でリード動作またはライト動作が実行される。この時点で、ライトイネーブルがオンであればライト動作、オフであればリード動作が実行される。最後にチップ選択とロウアドレス選択とライトイネーブルとの3信号の論理積で動作が終了する。

【0014】制御タイミング発生回路1からの選択信号1Eによってゲート制御回路2が制御され、ゲート制御回路2からの出力2A、2B、2C、2Dは、それぞれ‘1’、‘0’、‘0’、‘0’となる。

【0015】ゲート回路7から10では、それぞれ2Aから2Dとクロック信号11との論理積がとられ、クロック信号線7Aにのみクロック信号が供給され、クロック信号線8Aから10Aにはクロック信号は供給されない。

【0016】すなわち、クロック信号はメモリモジュール3にのみが供給され、メモリモジュール4から6には供給されない。したがって、メモリモジュール3内のすべてのシンクロナスダイナミックランダムアクセスメモリにはクロック信号が供給され通常の動作を行うが、メモリモジュール4から6内のシンクロナスダイナミックランダムアクセスメモリにはクロック信号は供給されず、これらの全てのシンクロナスダイナミックランダムアクセスメモリは動作を停止する。動作が停止したことにより電力の消費が抑えられる。また、動作を停止した

4

シンクロナスダイナミックランダムアクセスメモリでは、一定周期で強制リフレッシュが実行されデータの保全がなされる。

【0017】上述の第1の実施例では、メモリモジュール3のみがアクセスされている場合を説明したが、その他のモジュールがアクセスされている場合でも同様にアクセスされているモジュールのみが動作し、他のモジュールは動作を停止し、電力消費が抑えられる。

【0018】次に第2の実施例について詳細に説明する。

【0019】図2は本発明の第2の実施例を示すブロック図である。図2を参照すると、本発明の第2の実施例は、制御タイミング発生回路1と、電圧可変回路12と、外部から入力される電圧可変信号が降圧を示すと内部のメモリセルに供給する電圧を外部電圧よりも降圧させるダイナミックランダムアクセスメモリから成るメモリモジュール13から16とから構成されている。

【0020】次に動作について図2および図4を参照して詳細に説明する。

【0021】メモリモジュール14がアクセスされ、メモリモジュール13、15から16がアクセスされていない場合について説明する。

【0022】この場合、制御タイミング発生回路1から信号線1Bに制御タイミング信号が発生し、信号線1A、1Cから1Dには制御タイミングは発生しない。

【0023】また、制御タイミング発生回路1からの選択信号1Eによって電圧可変回路12が制御され、ここからの出力である電圧可変信号12A、12B、12C、12Dは、それぞれ‘1’、‘0’、‘1’、‘1’となる。

【0024】したがって、メモリモジュール14内のすべてのダイナミックランダムアクセスメモリでは、通常電圧が供給され通常動作を行うが、メモリモジュール13、15から16内のダイナミックランダムアクセスメモリでは、電圧は降圧され、これらの全てのダイナミックランダムアクセスメモリは動作を停止する。動作が停止したことにより電力の消費が抑えられる。また、動作を停止したダイナミックランダムアクセスメモリでは、一定周期で強制リフレッシュが実行されデータの保全がなされる。

【0025】ダイナミックランダムアクセスメモリ内では図4に示すように、外部電源が電源供給線36から供給され、電圧降圧回路32で降圧される。電源供給線36からの外部電源と電圧降圧回路32からの電源37とのいずれかを電圧可変信号34にしたがってセクタ31で選択し内部で使用する。

【0026】上述の第2の実施例では、メモリモジュール14のみがアクセスされている場合を説明したが、その他のモジュールがアクセスされている場合でも同様にアクセスされているモジュールのみが動作し、他のモジ

50

(4)

5

ュールは動作を停止し、電力消費が抑えられる。

【0027】なお、上述した第2の実施例においてダイナミックランダムアクセスメモリとは、シンクロナスダイナミックランダムアクセスメモリを含むことは言及するまでもない。

【0028】次に第3の実施例について詳細に説明する。

【0029】図3は本発明の第3の実施例を示すブロック図である。図3を参照すると、本発明の第3の実施例は、制御タイミング発生回路1と、クロック選択信号回路17と、外部から入力される外部クロック信号から分周クロックを作成し、外部から入力されるクロック選択信号により前記外部クロック信号と前記分周クロック信号とのどちらかを選択して、このクロック信号に同期して動作するシンクロナスダイナミックランダムアクセスメモリからなるメモリモジュール18から21とから構成されている。

【0030】次に動作について図3および図5を参照して詳細に説明する。

【0031】メモリモジュール20がアクセスされ、メモリモジュール18から19、21がアクセスされていない場合について説明する。

【0032】この場合、制御タイミング発生回路1から信号線1Cに制御タイミング信号が発生し、信号線1Aから1B、1Dには制御タイミングは発生しない。

【0033】また、制御タイミング発生回路1からの選択信号1Eによってクロック選択信号回路17が制御され、ここからの出力であるクロック選択信号17A、17B、17C、17Dは、それぞれ‘0’、‘0’、‘1’、‘0’となる。

【0034】したがって、メモリモジュール20内のすべてのシンクロナスダイナミックランダムアクセスメモリでは、通常クロックが選択され通常動作を行うが、メモリモジュール18から19、21内のシンクロナスダイナミックランダムアクセスメモリでは、分周クロックが選択され、これらの全てのシンクロナスダイナミックランダムアクセスメモリは動作を停止する。動作が停止したことにより電力の消費が抑えられる。また、動作を停止したシンクロナスダイナミックランダムアクセスメモリでは、一定周期で強制リフレッシュが実行されデータの保全がなされる。

【0035】シンクロナスダイナミックランダムアクセスメモリ内では図5に示すように、外部クロック信号がクロック供給線45から供給され、クロック分周回路42で分周される。クロック信号線45からの外部クロックとクロック分周回路46からクロック信号46のいずれかをクロック選択信号44にしたがってセクタ41で選択し内部で使用する。

【0036】上述の第3の実施例では、メモリモジュール20のみがアクセスされている場合を説明したが、そ

6

他のモジュールがアクセスされている場合でも同様にアクセスされているモジュールのみが動作し、他のモジュールは動作を停止し、電力の消費が抑えられる。

【0037】

【発明の効果】以上説明したように、本発明のパワーダウンメモリ制御ユニットは使用不可と設定されるメモリモジュールのダイナミックランダムアクセスメモリのクロック供給抑止と電圧の降圧とクロックの分周とにより電力消費の抑止を達成できるという効果がある。さらに、電源を供給し続け、かつ強制リフレッシュを実行することにより、モジュールを再び使用可に設定した時に、電源の安定までに要する時間およびダイナミックランダムアクセスメモリを使用可能にするためのダミーのライトに要する時間が除去されオーバーヘッドが生じないという効果がある。また、ダイナミックランダムアクセスメモリ内のデータが消去されず保全されるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例のブロック図である。

【図2】本発明の第2の実施例のブロック図である。

【図3】本発明の第3の実施例のブロック図である。

【図4】本発明の第2の実施例に用いるダイナミックランダムアクセスメモリのブロック図である。

【図5】本発明の第3の実施例に用いるシンクロナスダイナミックランダムアクセスメモリのブロック図である。

【符号の説明】

- 1 制御タイミング発生回路
- 2 ゲート制御回路
- 3、4、5、6、13、14、15、16、18、19、20、21 メモリモジュール
- 7、8、9、10 ゲート回路
- 11、7A、8A、9A、10A、45、47 クロック信号
- 12 電圧可変回路
- 17 クロック選択信号回路
- 30 ダイナミックランダムアクセスメモリ
- 31、41 セクタ
- 32 電圧降圧回路
- 40 シンクロナスダイナミックランダムアクセスメモリ
- 42 クロック分周回路
- 1A、1B、1C、1D 制御タイミング信号
- 1E 選択信号
- 2A、2B、2C、2D ゲート制御信号
- 12A、12B、12C、12D、34 電圧可変信号
- 17A、17B、17C、17D クロック選択信号
- 33、43 制御タイミング発生回路
- 36 外部電源

50

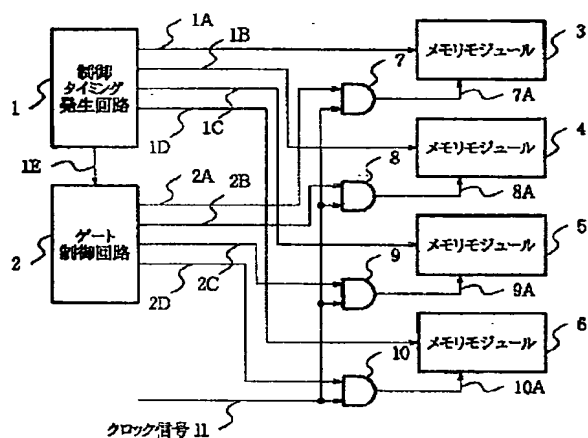
(5)

3 7 降圧電源

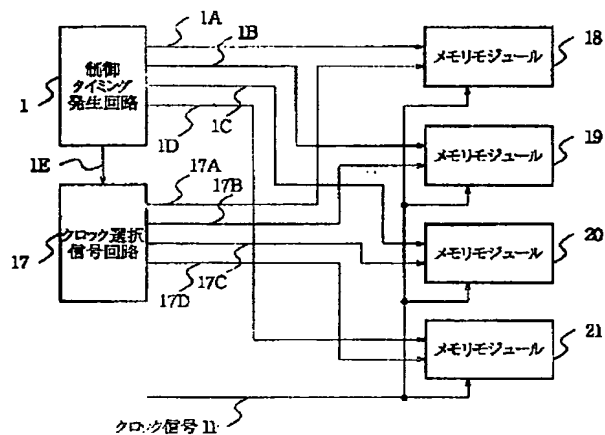
3 8 内部電源

4 7 分周クロック信号

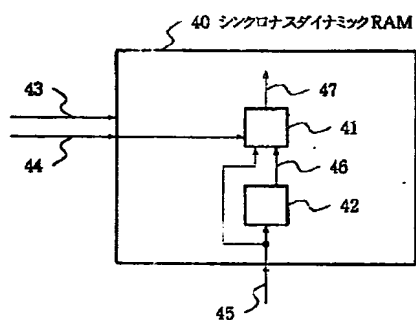
【図 1】



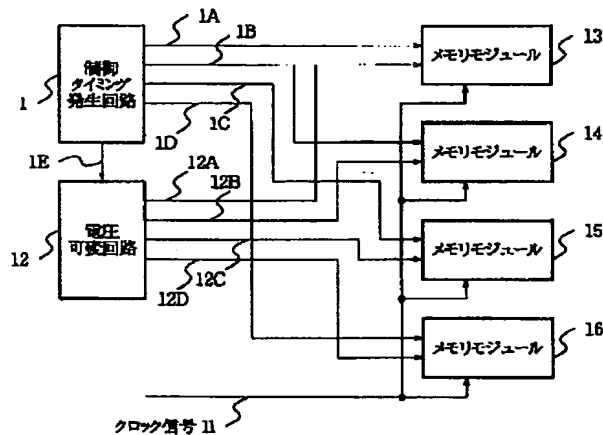
【図 3】



【図 5】



【図 2】



【図 4】

